

# 生醫工程實驗 期末專題進度報告(2)

第一組

B91901150 陳建宇

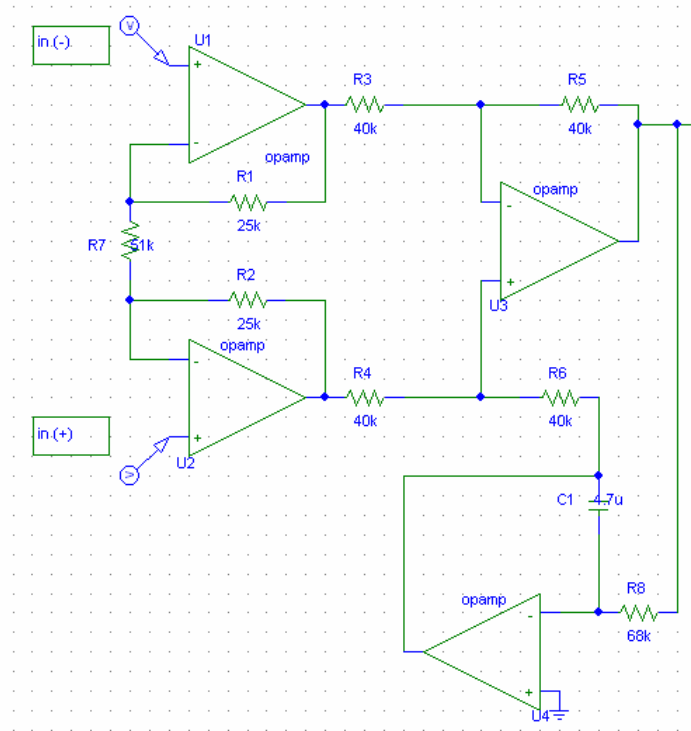
B92901121 羅弘益

06/04/2006

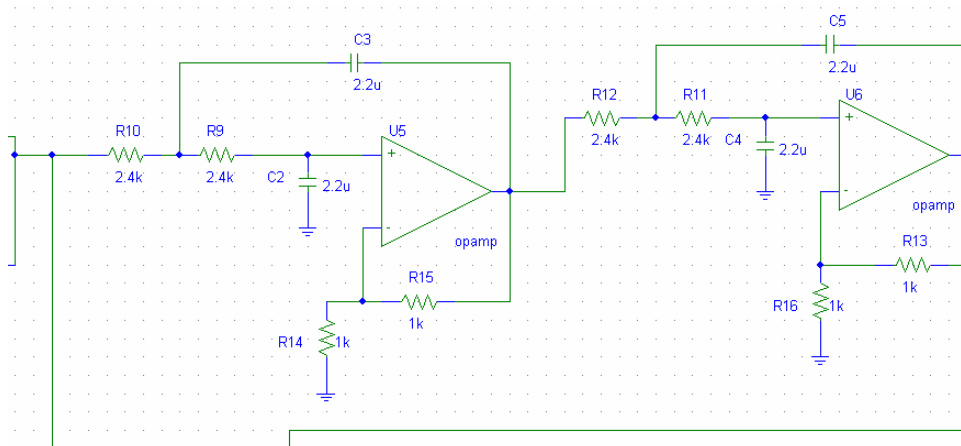
## 電路放大器與濾波器部份：

利用上一次進度報告中的 IC，我們成功地完成電路測試，不過有些微修改：LP324 的 VSS 改接至-4.5V。如果使用上次的說法接 ground，則總輸出訊號都是 VDD，理由是 LP324 的 op 們會輸出 0V 為最低點。今分別顯示使用的電路：

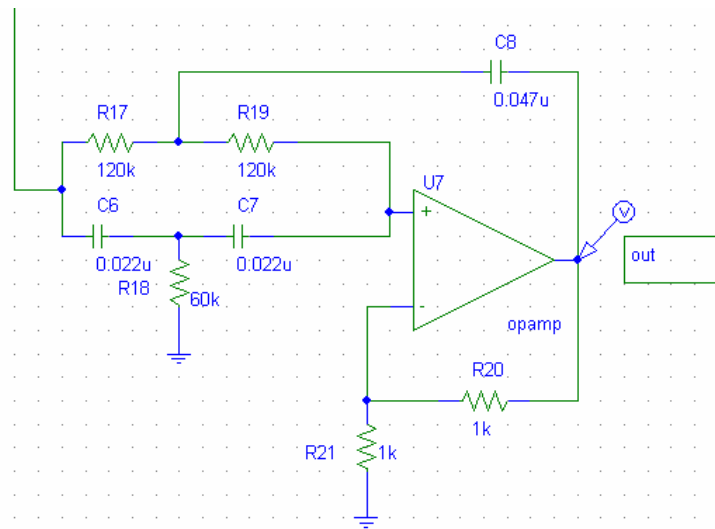
INA128 的使用與高通濾波器



2 個低通濾波器

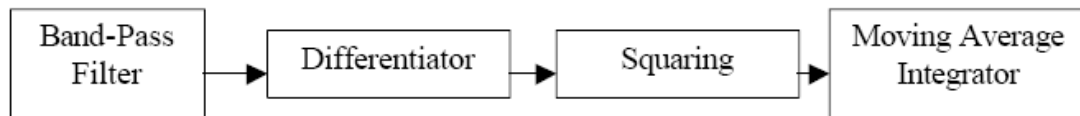


## Notch filter



## 電腦訊號處理部份：

Pan-Tompkins 測量心跳速率的程式部分已經完成，其 block diagram 如下圖所示：



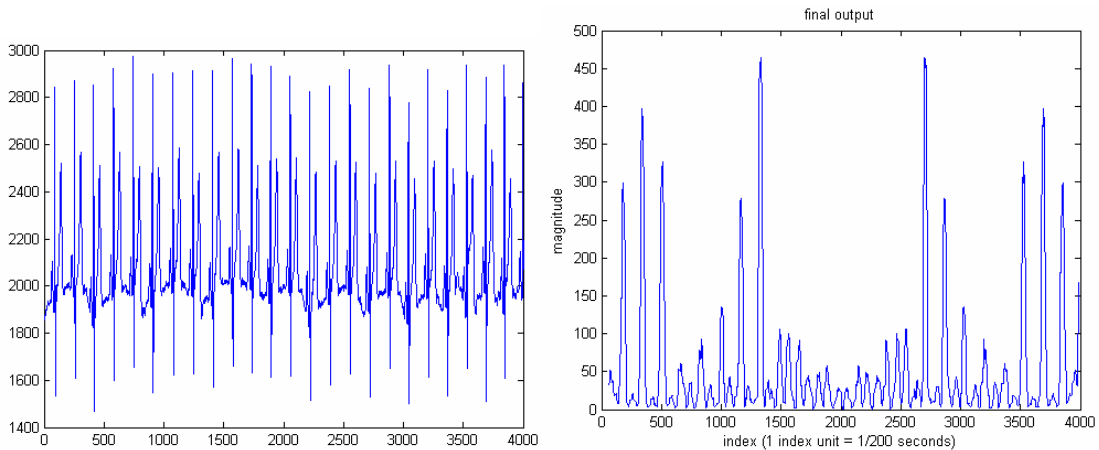
其中 band-pass filter 的目的是為了衰減 EMG、Power line、Base-line wander、T wave noise。同時又可以影響 QRS complex。在目前的設計是 2~10Hz，型態是 butterworth。

II. differentiator 的目的是為了隔離高頻雜訊並且加強 QRS complex 的特徵。

III. squaring device 的目的是為了使得在做 moving-average 時每項均為正，同時亦可增加 signal to noise ration。

IV. moving-average integrator 的目的是為了再一次增加 signal to noise ratio，使得在下一步找特徵峰時又快又準。目前設計移動視窗大小為 32。

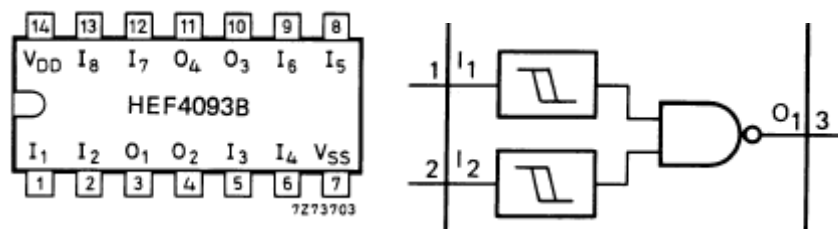
以下圖的訊號為例，經過上述的處理後可得到下下圖的結果。



找峰波的演算法為找到 local maximum 時拿這個值與前後 30ms 的樣品比較，這樣可以確保不會算進雜訊。以現有的資料測試過後覺得很棒。

### 無線傳輸部份：

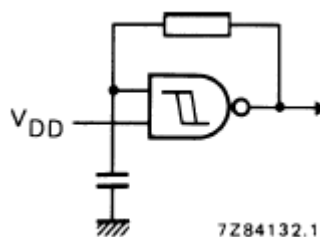
(1) 我們採用了和 proposal 不同的方式以達成傳輸的目的，將 555 Timer 換成比較簡單的 Schmitt-Trigger NAND 電路來製作 clock。



HEF4093B 的 pinout 及 function diagram

(或 CD4093 : quad 2-input Schmitt trigger NAND)

將其以簡單 RC 串聯如圖

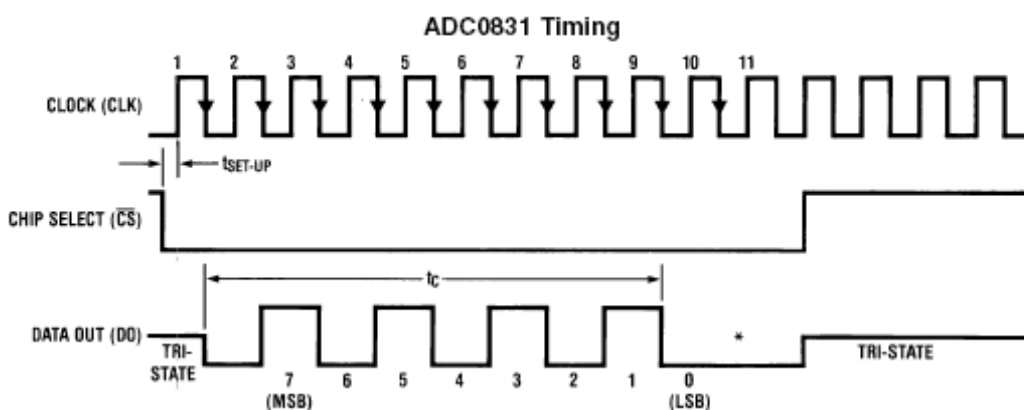


Schmitt-Trigger NAND astable multivibrator

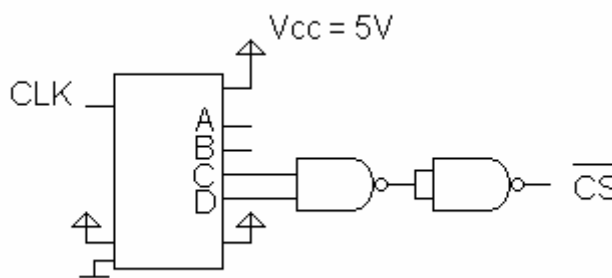
當輸入為 HIGH 時和  $V_{DD}$  NAND 後是 LOW，電容開始放電。當放到小於 Schmitt trigger 的 positive threshold ( $V_P = 2.9V$ ) 為 LOW，和  $V_{DD}$  NAND 變成 HIGH，電容開始充電。當充電到高於 negative threshold ( $V_N = 2.2V$ ) 為 HIGH，和  $V_{DD}$  NAND 為 LOW。因此輸入會反覆在  $V_N$  和  $V_P$  之間震盪，而數位的輸出就會是 duty cycle 約 50% 的 0-5V 方波。實驗使用  $51k\Omega$  的電阻和  $1nF$  的電容，方波頻率約為  $6.869\text{ kHz}$ ，duty cycle = 54%。以此作為之後 TX 端的 clock 使用。

(2) Serial output 的 ADC0832 需要輸入信號控制其 MUX 的特性，但是在 TX 端不易產生該控制信號，故換成比較容易使用的 ADC0831。要作兩個 lead 的時候以 MUX IC(如 74 邏輯系列的 74HC157)作 MUX 比較容易。根據上面的 clock rate 產生的 bit duration 為

(3) 利用 4 bit counter 控制 ADC sampling 的時間：當 ADC 的 inv\_CS 端有 negative edge 的時候 ADC 會開始取樣並 serial 輸出，這段期間 inv\_CS 必須為 false。因此，使用 4 bit counter 的前兩個 MSB AND 的結果即可當作 inv\_CS 之用。



在 inv\_CS 為 HIGH 的時候 output 為 LOW (tri-state)。在 LSB 後的會和 LSB 一樣。而 counter 的接法是



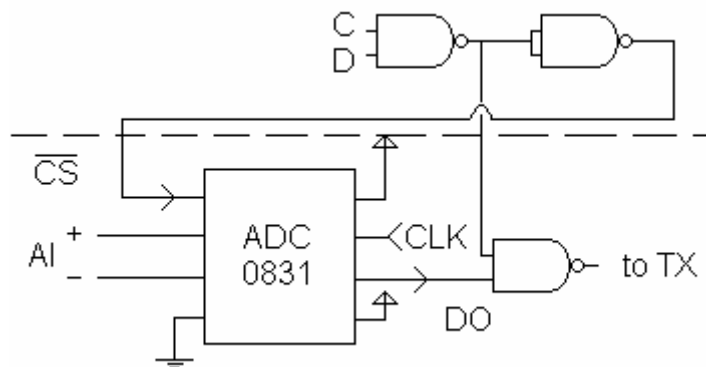
這樣出來的 inv\_CS 在數到 0~11 的時候是 LOW，12~15 的時候是 HIGH，可以用來作為 ADC 取樣之用。所以一個 channel 的一個點所需要的時間是 16 個 bit duration，也就是 2.32ms。估計為 2.5ms 的話一秒鐘可以傳 400 個 sample 點，若使用兩個 lead MUX 且不考慮額外的 delay 的話一秒鐘只有 200 個 sample 點，Nyquist frequency 為 100Hz。所以我們還會想辦法改善 bit rate 以提高 bandwidth。

(4) RF 模組可以正確分辨的脈波週期最好在 200μs 以上，這樣 TX 端發送的信號才會被 RX 端正確讀出：事實上的波已經變成梯形 (rising & falling 時間過久) 甚至是三角形。這限制了我們的 bit rate。我們應該會先用這個速率作看看如果不能接受就會再找新模組。

(5) 我們在 RX 端有 synchronization 的問題要克服。因為沒有 coding 也沒有 pilot，所以 ADC serial 出來的信號傳過來會不容易找到起始點。另一個問題是

local 的 oscillator 不能完全產生一樣的 clock 作 sampling。目前的方法是 local end 先不作精確的 clock，用一個 16 倍頻的 clock 加上 4-bit counter 作除頻（用 MSB）得到接近的 local clock。方法和上面的 IC 一樣，改用 43kW 和 470pF，震盪頻率為 110.25kHz，除頻後為 **6.89kHz**。因為兩個頻率都會飄，所以還要想新方法。可能會採用 PLL 或類似的電路以得到比較好的 clock。

同時，為因應 synchronization 的需要，將 ADC 的 output 作一個簡單的處理：



利用已有的 NAND 和 counter IC 上的剩餘 gate，將 ADC 的 DO（digital output）加上簡單的資訊。NAND 的特性是兩個輸入都是 HIGH 時會是 LOW。在 inv\_CS 為 HIGH 的時候（ADC 沒有作用的時候）CS (= C NAND D) 為 LOW，故輸出必為 HIGH。當 inv\_CS 為 LOW 的時候（ADC 開始作用的時候）CS 為 HIGH，輸出會是 DO 的 complement。所以資訊還是被保留下來，但是多加了固定的 4 bit HIGH and an negative edge to indicate the start of ADC output。這個 pattern 可以用來確定 RX 端收下來的信號的開始。